

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

Cite No. /

(11)Publication number : 2002-182803

(43)Date of publication of application : 28.06.2002

(51)Int.Cl.

G06F 1/30

G06F 12/16

(21)Application number : 2001-301550

(71)Applicant : INTERNATL BUSINESS MACH  
CORP <IBM>

(22)Date of filing : 28.09.2001

(72)Inventor : BROCK BISHOP C  
CARPENTER GARY D  
NOWKA KEVIN J

(30)Priority

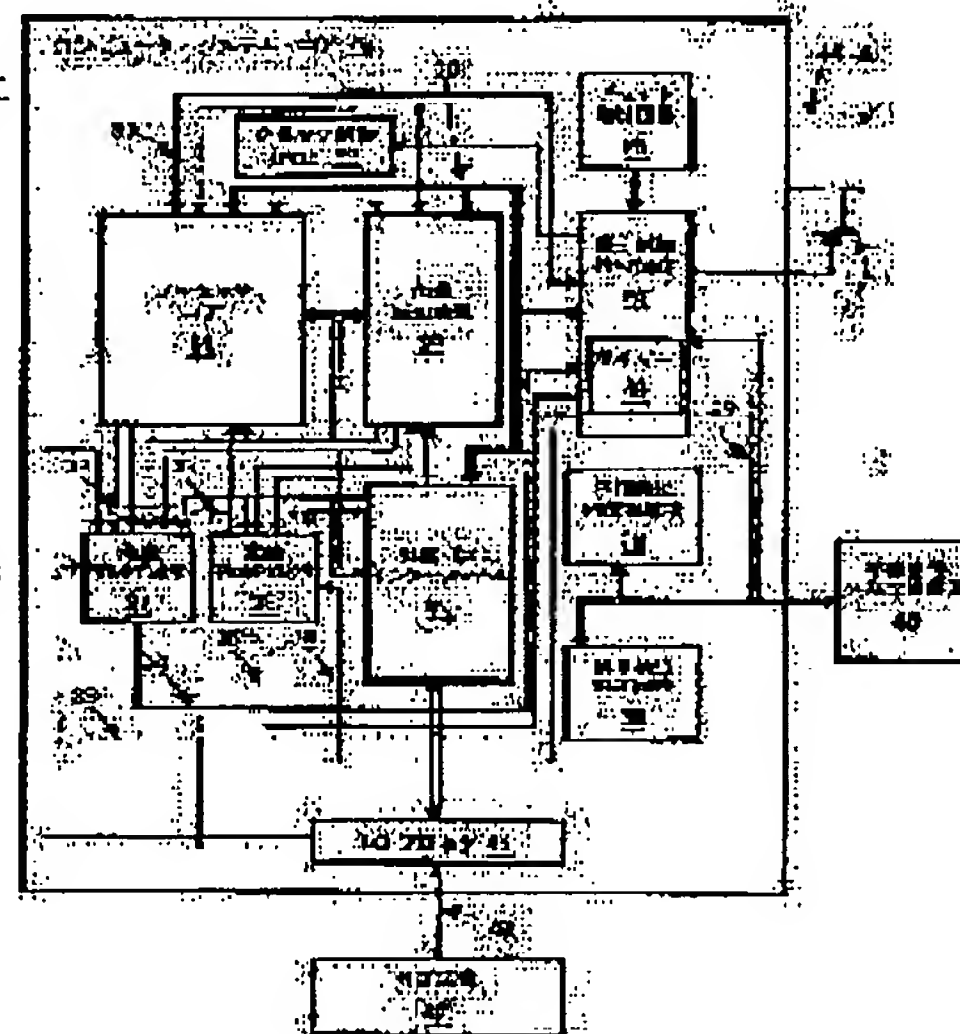
Priority number : 2000 676943 Priority date : 02.10.2000 Priority country : US

## (54) METHOD AND DEVICE FOR SUSPENDING AND RESUMING COMPUTER SYSTEM OPERATION

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a resumption function of a computer system after an integrated circuit in the battery type computer system is disconnected completely in a method and a device for keeping the state of a computer system component.

**SOLUTION:** The state is read by using a scanning latch in the computer system component. A scanning register can be accessed internally through internal scan chaining or externally by using a serial test port interface or a boundary scan interface. Next, the state is stored in a nonvolatile storage area, and the power is disconnected from the computer system component.



## LEGAL STATUS

[Date of request for examination] 28.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

**[Date of registration]**

**[Date of requesting appeal against examiner's decision of rejection]**

**[Date of extinction of right]**

Copyright (C); 1998,2003 Japan Patent Office



(2)

特開2002-182803

1

2

【特許請求の範囲】

【請求項1】 コンピュータ・システムの動作をサスペンドし、レジュームする方法であって、

サスペンド指示の受理に応じて、前記コンピュータ・システム内の構成要素集属回路の内部レジスタの状態を定めて元値レジスタから前記状態に対応するデータを読み取るステップと、

不揮発性記憶域に前記状態を記憶するステップと

前記構成要素回路から電力を遮断するステップとを含む方法。

【請求項2】レジューム指示に回答して前記構成要素集を回復するステップと、

前記不揮発性記憶域から前記状態を読み取るステップと、

前記状態に対応するデータを前記走査レジスタに書き込むことによって前記構成要素集回路内の前記状態を復元するステップとをさらに含む、請求項1に記載の方法。

【請求項3】前記状態を保存する前に、前記構成要素集  
群回路内のシステム・クロック信号を一時停止させるス  
テップと、

前記構成要素集回路に電力を復元した後に、前記構成要素集回路内のシステム・クロック信号を供給するステップとをさらに含む、請求項2に記載の方法。

【要求項4】前記不揮発性記憶域が前記構成要素集回路内にあり、前記状態を前記不揮発性記憶域に記憶する前記ステップが、前記構成要素集回路内の前記状態に対応するデータを移動し、前記状態を復元する前記ステップが、前記構成要素集回路内から前記状態を復元する、請求項2に記載の方法。

【請求項5】前記不揮発性記憶域が行標頭部に結合されたランダム・アクセスメモリを含み、前記構成要素集積回路から電力を遮断する前記ステップが、前記不揮発性記憶域から電力を遮断しない、請求項4に記載の方法。

【請求項6】 前記状態を走査した後、所定時間待つステップと、

前記所定時間が経過するとそれに応じて、走査した前記状態を、前記構成要素素子回路の外周にある第2の不揮発性外部記憶域に転送するステップとをさらに含む、請求項5に記載の方法。

【請求項7】前記不揮発性記憶域が電気的消去可能読取り専用メモリであり、前記状態を記憶する前記スタックが、前記状態を前記電気的消去可能読取り専用メモリに書き込む、請求項4に記載の方法。

【請求項8】前記不揮発性記憶域が前記記憶要素集回路の外部にあり、前記記憶スタックおよび前記読取りスタックが前記内部レジスタと前記外部記憶域との間のインタフェースを介して前記記憶を転送する、請求項2に記載の方法。

【請求項9】前記サスペンド指示の受取後に所定時間待

15

29

30

45

50

つステップをさらに含み、前記状態を記憶する前記ステップが前記所定時間の経過に反応して行われる。請求項2に記載の方法。

【請求項10】前記状態を定査する前記ステップが、シリアル・テスト・ポート・インタフェースを介して前記状態を読み取る、請求項2に記載の方法。

【請求項1】前記状態を走査する前記ステップが、境界走査レジスタを介して前記状態を読み取り、前記方法が、前記サスペンド指示の受領に応じて閉回路形成要素兼検回路を定常モードにするステップをさらに含む、請求項2に記載の方法。

【請求項 2】前記コンピュータ・システムが共通バスに結合された活動ユニットと待機ユニットとを含み、前記構成要素は前記回路が前記待機ユニット内にあり、前記状態を全量する前記ステップと、前記状態を記憶する前記ステップと、電力を遮断する前記ステップとが、システム初期設定時に行われ、電力を復元する前記ステップと、前記状態を読み取る前記ステップと、前記状態を復元する前記ステップとが、前記待機ユニットが活動状態になる指示に応じて行われる、請求項 2 に記載の方法。

【要求項13】 走査レジスタを介してアクセス可能な内部機能レジスタを有する構成要素集構成回路と、

前記構成要素集回路に結合され、サスペンド指示に応答して前記構成要素集回路の状態を記憶する不揮発性記憶装置であって、前記状態が前記走査レジスタを介して前記構成要素集回路から読み取られる不揮発性記憶装置と、

前記憶構成要素集回路に結合され、前記憶構成要素集回路が動作しているときに前記憶構成要素集回路に電力供給し、前記状態が前記揮発性記憶域に記憶された後に電力を遮断する制御可能電源とを含むコンピュータ・システム。

【請求項 4】前記構成要素は同一筐内のシステム・クロック信号をゲートオフして前記状態の状況が凍結されるようにする。請求項 1 3 に記載のコンピュータ・システム。

【請求項 15】前記不揮発性記憶域が前記構成要素を接続する回路内にある、請求項 13 に記載のコンピュータ・システム。

【請求項16】前記不揮発性記憶域が、待機電源に結合されたランダム・アクセスメモリを含み、前記待機電源が、前記制御可能電源が前記機殻要素集回路から電力を遮断した後、前記ランダム・アクセス・メモリに電力を供給し続ける、請求項15に記載のコンピュータ・システム。

【請求項 17】前記憶装置系制御回路に結合され、前記状態を記憶する第 2 の不揮発性記憶域と、所定時間が経過した時点を判断するタイマとを含み、前記制御可能な回路の前記記憶装置系制御回路から電力を過剰







7

B、および11Cからの状態情報を新しい方法で利用して、コンピュータ・システムがサスペンド動作になる前にシステム構成要素10の状態を記憶し、レジューム動作の前にその状態を回復する。LSSD走査連鎖12との間で読み書きされる状態情報には、様々な手段でアクセスすることができる。LSSD走査連鎖12には、システム構成要素10内から直接、またはJTAGインタフェース13を介した特別なコマンドによって、あるいはシステム構成要素10を走査モードにすることにより境界走査インタフェース14を介してアクセスすることができる。走査モードは、JTAGインタフェース13を介して入力されるコマンドを介して、または境界走査インタフェース14の一部を形成する外部ピン接続を介して、開始および終了させることができる。

【0011】LSSDアーキテクチャは、すべての内部ラッチの状態にアクセスすることができるため、本発明の技法を実施するのに有利である。さらに、LSSD構造は、LSSDテスト対応設計にすでに組み込まれており、そのため本発明は、新たな回路設計技法や、LSSD走査連鎖を組み込んで設計されている回路の変更を必要としない。「バブル走査」と呼ぶ他の手法では、各LSSDラッチにもう一つ低電流電流状態保存装置を追加する。この状態保存装置を使用して、低電力状態（サスペンド・モードなど）中にラッチの状態を保持する。本発明とは異なり、状態保存ラッチを含む構成要素への電力を維持しなければならない。さらに、「バブル走査」手法を表現するには、新たな回路設計とより多くの回路面積を必要とする。半導体製造業者は、再使用可能回路ライブラリに多大な投資をしており、システム全体の設計には現在標準LSSD構造が組み込まれている。本発明は、既存のアーキテクチャに単純な制御論理回路と制御ソフトウェアを加えることにより、これらの投資を利用することができる。

【0012】図2を参照すると、図1のLSSD走査連鎖12内の定数セルの構造が図示されている。レジスタ16は、機能論理ブロック11A、11B、および11Cから論理値をロードするシステム・データ入力線18と、機能論理ブロック11A、11B、および11C内に論理値を設定するシステム・データ出力線17とを結ぶ。レジスタ16は、鎖状に直列接続され、各鎖の先端には論理値をロードする走査データ入力線があり、各鎖の終端には走査データ出力線がある。この連鎖の入力と出力には内部だけでなく、境界走査インタフェース14およびJTAGインタフェース15を介してアクセスすることができる。走査クロックによって、LSSD走査連鎖12内のデータのシフトが制御され、システム・クロックによって、通常のシステム動作のための高周波数クロックが供給される。

【0013】次に図3を参照すると、本発明の好ましい実施形態によるコンピュータ・システムが図示されてい

(5)

特開2002-182803

8

る。コンピュータ・システム・コア20は、コンピュータ・システムのための大規模ビルディング・ブロックである。バス43を介してインタフェースする外部装置42が、コンピュータ・システムの機能部分を完結している。外部装置には、メモリ、記憶装置、グラフィックス装置、人間による入力装置などがある。コンピュータ・システム・コア20の外部にある不揮発性記憶装置40を利用して、本発明のサスペンド/レジューム機能のための状態情報が記憶される。コンピュータ・システムには、NMOSTランジスタ41を含む制御可能電源も組み込まれ、コンピュータ・システム・コア20内の各ブロックへの主電力を制御する。コンピュータ・システム・コア20の各部分の状態情報を保持し、両端制御論理回路24と、完全に両端遮断することができないその他のコンピュータ・システム構成要素とに待機電力を供給するために、低電流待機電圧接続線44を結ぶ。

【0014】コンピュータ・システム・コア20内では、プロセッサ・コア21がプログラム命令の実行とデータ値の操作を行う。シリアル・ポート、直接メモリ・アクセス（DMA）コントローラなどの内蔵周辺装置23が、コンピュータ・システム機能を提供する。外部バス・インタフェース29は、I/Oブロック45を介して外部装置42へのバス43接続を行う。プロセッサ・コア21、I/Oブロック45、内蔵周辺装置23、および外部バス・インタフェース29はすべて、LSSD走査連鎖レジスタを含む。各連鎖からの定数データ出力線32はマルチプレクサ27に結合され、電力制御プロセッサ24に接続する個々の定数連鎖出力線34の選択を可能にしている。電力制御論理回路24は、マルチプレクサ制御信号線33を介して定数連鎖を選択し、制御バス・インタフェース38を介して走査連鎖を含むブロックからの状態情報の入手と伝送を制御することによって、走査連鎖レジスタを読み取る。電力制御論理回路24が、走査連鎖の読取りによってコンピュータ・システム・コア20の状態を取り出した後、そのデータは不揮発性内部記憶域28に記憶される。不揮発性内部記憶域28には、待機電力44によって電力供給するか、または電氣的消去可能読み取り専用メモリなど状態保持のために電力を必要としない技法で実現することができる。状態情報がまず不揮発性外部記憶装置40に送られてから、制御可能電源24がコンピュータ・システム・コア20への電力供給を不能にする場合、不揮発性内部記憶域28には、制御可能電源41を介して供給されるコンピュータ・システム・コア主電力によって電力供給することもできる。I/Oブロック45には、制御可能電源41が電力供給を不能にする前に適切な値をロードすることができる。これは、外部装置42のいずれかを両端遮断することができない場合に必要になる。コンピュータ・システム・コア20への外部接続の状態を制御して、外部装置42の高電流流れ状態や、振りバス・サイ

50



(5)

特開2002-182803

15

クルの発生、外部装束42の損傷を回避しなければなら  
ない。

【図１５】電力制御論理回路２４は、プロセッサまたはハードウェア論理ブロックとすることができ、制御バス・インタフェース３８を介してプロセッサ・コア２１からコマンドを取り出すことによって、コンピュータ・システム・コア２０のサスペンド・シーケンスを開始する。あるいは、電力制御論理回路２４とプロセッサ・コア２１との間に結合された１本の制御線など、サスペンド要求を発生させる他の方式を実施することもある。電力制御論理回路２４は、クロック制御回路２２を制御することによって、プロセッサ・コア２１と内蔵周辺装置２３へのクロックを一時休止させることができる。これによって、電力制御論理回路２４とそれに付随する構成要素とを除くコンピュータ・システム・コアの動作が凍結する。様々なブロックから元データが読み取られ、不揮発性内部記憶域２６に記憶される。次に、電力制御論理回路２４は、制御可能電源４１を介してコンピュータ・システム・コア２０から主電源を遮断する。

【0016】サスペンドまたは通断イベントのシケーン内、不揮発性内部記憶域26または不揮発性外部記憶装置40を使用して、異なるレベルの省エネルギーを選択的に行うことができる。たとえば、サスペンド動作（これはさわめて長期間の場合があり、まれ電流値によっては数ヶ月になることもある）の初期部分では、不揮発性内部記憶域26に状態を保持し、コンピュータ・システム・コア20に必要な程度の供給電流レベルを維持することが好ましい場合がある。電力制御回路24内のタイマ46によって決まる一定の期間が経過した後、コンピュータ・システム・コア20の状態を不揮発性外部記憶装置40に書き込み、コンピュータ・システム・コア20から電力を完全に遮断することによって、より高いレベルのエネルギー節減を開始する。タイマ46は、電力制御回路24がマイクロプロセッサを含む場合はプログラム命令で実現することもでき、コンピュータ・システム・コア20内の電力制御回路24の外にあるブロックとして、または、電力制御回路24に不揮発性外部記憶装置40へのデータ転送を開始させるその他の適合するアーキテクチャとして実現することもできる。コンピュータ・システム・コア20への複数の書き込み操作を持つプログラム供給電源41内の複数のトランジスタを使用して、異なるレベルのエネルギー節減を実現することができる。あるいは、クロック制御回路22が内部ブロックへのクロック供給を遮断することによってエネルギー節減を行うこともできる。解り抽出訂正ブロック30によって、状態情報の保存と取り出しの信頼性を向上させたり、コード化または圧縮機能を組み込んで、状態情報の記憶と取り出しに必要なエネルギーと時間を削減することができる。不揮発性記憶装置には書き込み前書き込みサイクル数が限られているものもあるた

め、誤り検出訂正が必要な構成もある。

【0017】不揮発性内部記憶域26と不揮発性外部記憶装置40の共用は、実施するシステムに合わせて調整される。たとえば、コンピュータ・システム・コア20を、ほとんどの時間サスペンド状態になっているシステムで使用する場合は、不揮発性外部記憶装置40のみを使用してもよい。しかし、システムがきわめて頻繁に起動される場合、不揮発性内部記憶域26のみを使用する。両方のタイプの不揮発性記憶域を使用するシステムでは、不揮発性内部記憶域26から不揮発性外部記憶装置40へのデータ転送のタイミングは、不揮発性内部記憶域26と不揮発性外部記憶装置40との所要電力の関係に応じて決まる。

【0018】リセット制御回路25が電源制御回路24とインタフェースして、リセット信号またはレジューム信号あるいはその両方を供給する。レジューム信号が送られると、電力制御プロセッサは制御可能電源41を使用可能にすることによって主電力を回復し、不揮発性内部記憶域26または不揮発性外部記憶装置40から状態を取り出すことができる。この状態情報は走査連続入力線31を介して様々な機能ブロックに書き込まれる。電力制御回路24から走査データ出力35を受け取る特定の走査連続入力線を、走査デマルチプレクサ28によって選択する。走査デマルチプレクサ36が、この目的のために与えられる。制御バス・インタフェース38を使用して、プロセッサ・コア21、内部周辺装置23、および外部バス・インタフェース29への状態データのロードを制御する。状態データがロードされた後は、クロック制御回路22に信号を送って、プロセッサ・コア21と内部周辺装置23へのクロックの供給を再開させることができる。

【0018】コンピュータ・システム・コア20の内部ラッチの状態の読取りと書き込み機能によって、当該情報の記憶と取り出しが可能になる。本来はアストのために設けられているものであるが、高度なエネルギー管理の必要性により、LSSD定数ストリングとLSSD定数可能ラッチを状態取り出しと復元に使用することが望ましい。これによって、コンピュータ・システムを、周辺構成要素から電力を遮断できる状態にするのに要する時間が最小限になり、それに付随する、コンピュータ・システムの動作状態を復元するのに要する時間も短縮される（たとえば電源オフ後にシステムをリブートまたは再構成しない）。遮断前の後継の状態に完全に再構成される。従来は、プロセッサと周辺装置の電源を遮断した後、コンピュータ・システムを完全に再起動する必要があった。これは、機械の状態にソフトウェアが完全にアクセスすることができないためである。本発明は、走査インタフェースを介して機械の状態を直接復元することができるようにする。オペレーティング・システムは、構成要素集回路の状態を記憶するほかに、キャッシュや



特種2002-182803

11

12

変換牵引バッファなどの走査不能なメモリ・アレイをフラッシュまたは保存するだけでよい。走査不能メモリのイメージが復元された後、構成要素無償回路に電力を回復することができ、記憶された状態を走査インタフェースを介して復元することができる。

【0020】本発明の完全状態記憶および回復の例として、たとえば、特定の記憶装置においてディスク・アクセスを開始することができたが、特定のセクタのシークが完了していない場合がある。ディスク・コントローラはコマンドを保持してシークの完了を待っているが、機械の状態を変更せずに（コマンドを取り消さずに）システムを遮断することはできない。また、記憶装置へのインタフェースは通常、記憶装置ドライバによって管理され、記憶装置ドライバは、順序正しく電源遮断／電源投入シーケンスを行うためのオペレーティング・システムへの電源遮断インタフェースを備えていない場合がある。

【００２１】本発明の改善点は、ネットワーク・インタフェース動作にも適用される。ネットワーク・インタフェースは、プロトコル、ＩＰアドレスなどに書き込まれた情報を持っていることがあり、この情報は、コンピュータ・システム内で稼働しているデバイス・ドライバまたはアプリケーションによって維持される。ネットワーク・インタフェースから電源を遮断し、その後電力を回復するために、復元時にネットワーク・インタフェースの状態をすべて復元しなければならない。ネットワーク・デバイス・ドライバが状態の読取りと書き込みを完全に行うことができず、そのため、ネットワーク・インタフェースを管理するデバイス・ドライバまたはアプリケーションを再始動する必要がある場合がある。

【0022】次に図4を参照すると、本発明の方法の好ましい実施形態によるオペレーティング・システムの動作を示すフローチャートが示されている。ユーザ・ボタンまたはソフトウェア・コマンドによって発生させることができるシステム・サスペンド要求を受け取ると（決定61）、スケジューラ（タスク・タイムスライス・マネージャまたは優先度マネージャ）は、スケジューリング・タスクと、タスクおよびプロセスへの実行割振りを中止し、割り込みが不能にされる（ステップ63）。この時点で、実行は単一スレッドであり、割り込むことはできない。次に、いずれかのキャッシュ・メモリおよび変換索引バッファ（TLB）が外部記憶装置にフラッシュされる。この記憶装置は、電力供給が維持されているメモリか、または磁気ハード・ディスク・ファイルとすることができる。キャッシュ・メモリがフラッシュされた後、電源制御回路24に対してシステムを遮断するよう信号が送られる（ステップ65）。その後、オペレーティング・システムは、クロックが停止し、遮断される構成要素から電力が遮断されるまで機能作止する（ステップ66）。電力制御回路24が、遮断され

る構成要素の状態を保存し、レジューム動作の前にそれを復元し、それによって電力が回復し、クロックが再供給されたときに機械の状態が復元されるようにする機能を果たす。次に、オペレーティング・システムはサスペンドする前の状態から動作を再開し、サスペンド要求は解除される（ステップ67）。

【００２３】次に図５を参照すると、本発明の方法の好ましい実施形態による（図３の電力制御論理回路２４などの）電力制御論理ブロックの動作を示すフローチャートが示されている。返所要求を受け取っていないとき（決定７０）、電力制御論理回路２４は、待機状態になっているか、または他のタスクを実行している（ステップ７１）。返所要求を受け取ると、電力制御論理回路２４はシステム・クロックを停止させる（ステップ７２）。次に、プロセッサを含むシステム装置から、電源回路内の定置ポートを介して状態が読み取られる（ステップ７３）。すべての装置の状態が不揮発性記憶域に転送され（ステップ７４）、定置クロックが停止し、コンピュータ・システム・コア２０から電力が遮断される（ステップ７５）。その後、電力制御論理回路２４は、ユーザ・ボタン、タイマ、またはその他の信号機構から再開の指示を受け取るまで、待機状態になる（ステップ７６）。再開指示を受け取ると（決定７７）、システム装置に電力が回復され、定置クロックが再開され（ステップ７８）、不揮発性記憶域から前に保存した状態が読み取られ（ステップ７９）、その状態が定置ポートを介してシステム装置に書き込まれる（ステップ８０）。その後、システム・クロックが回復され（ステップ８１）、一時停止されていた箇所から動作を続けることができるようになる。

【００２４】次に図６を参照すると、本発明の他の実施形態によるコンピュータ・システムが図示されている。この実施形態では、コンピュータはテスト・インタフェースまたは境界走査インタフェースあるいはその両方を備えるが、本発明の状態記憶および回復を内部に組み込むように特別に調整されていない。テスト・インタフェースまたは境界走査インタフェースあるいはその両方を外部で使用して、構成要素との間で状態を読み書きすることができる構成を設ける。中央コンピュータ・ユニット１００が、プログラム命令およびデータを記憶するメモリ１１０と、周辺装置１１１とに結合されている。周辺装置１１１には、ビデオ・コントローラ、ネットワーク・インタフェース、入力装置、プリンタ・インタフェース、記憶装置インタフェース、および中央コンピュータ・ユニット１００への有用な接続を行うその他の装置が含まれる。周辺装置１１１の状態は、遮断／再始動制御プロセッサ１１３へのＪＴＡＧ接続線１１４または境界走査接続線１１２を介して保存することもできる。ＪＴＡＧおよび境界走査の実施は現在の大規模回路で広く普及しているため、多くの既存の周辺装置構成要素







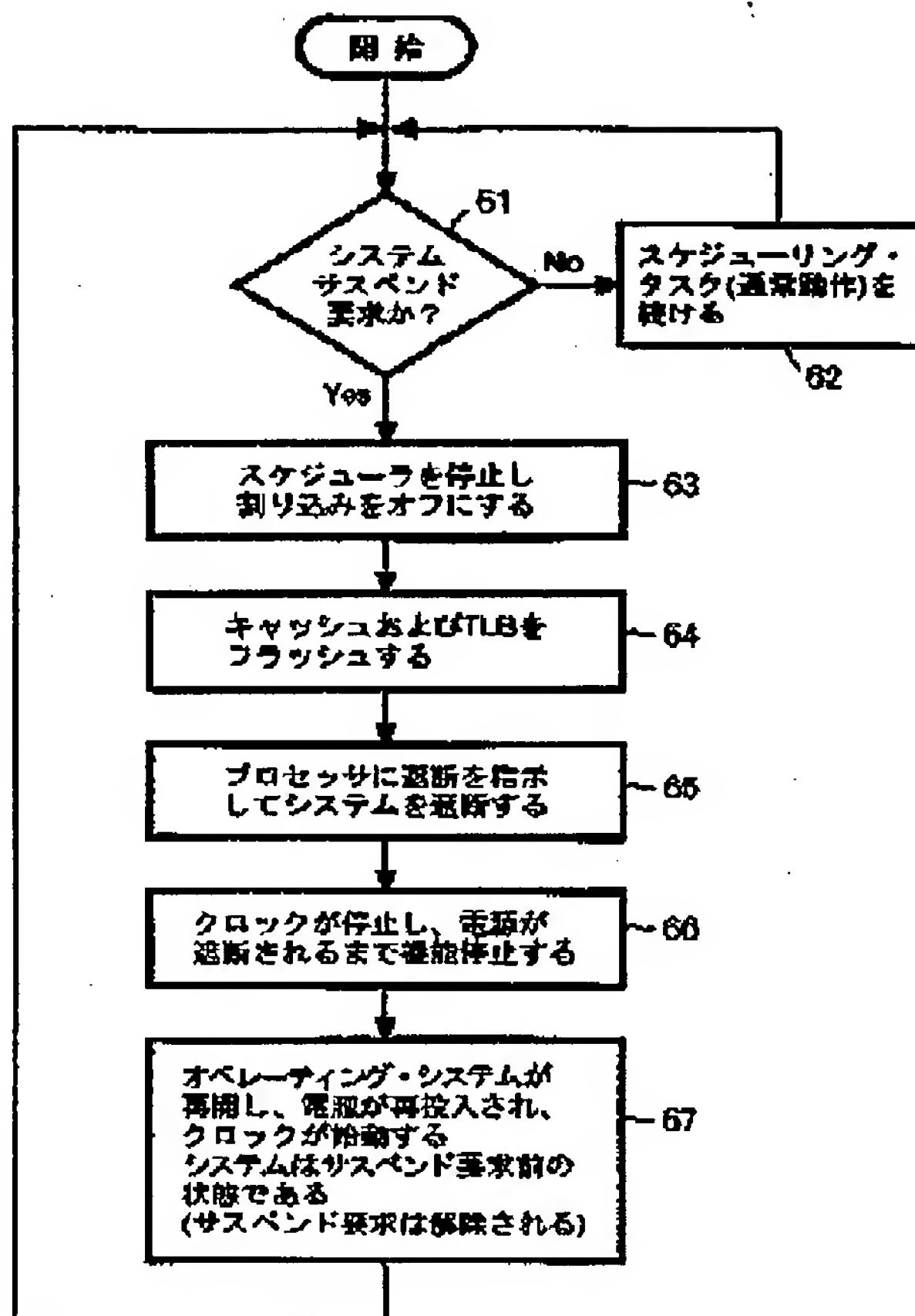






特開2002-182803

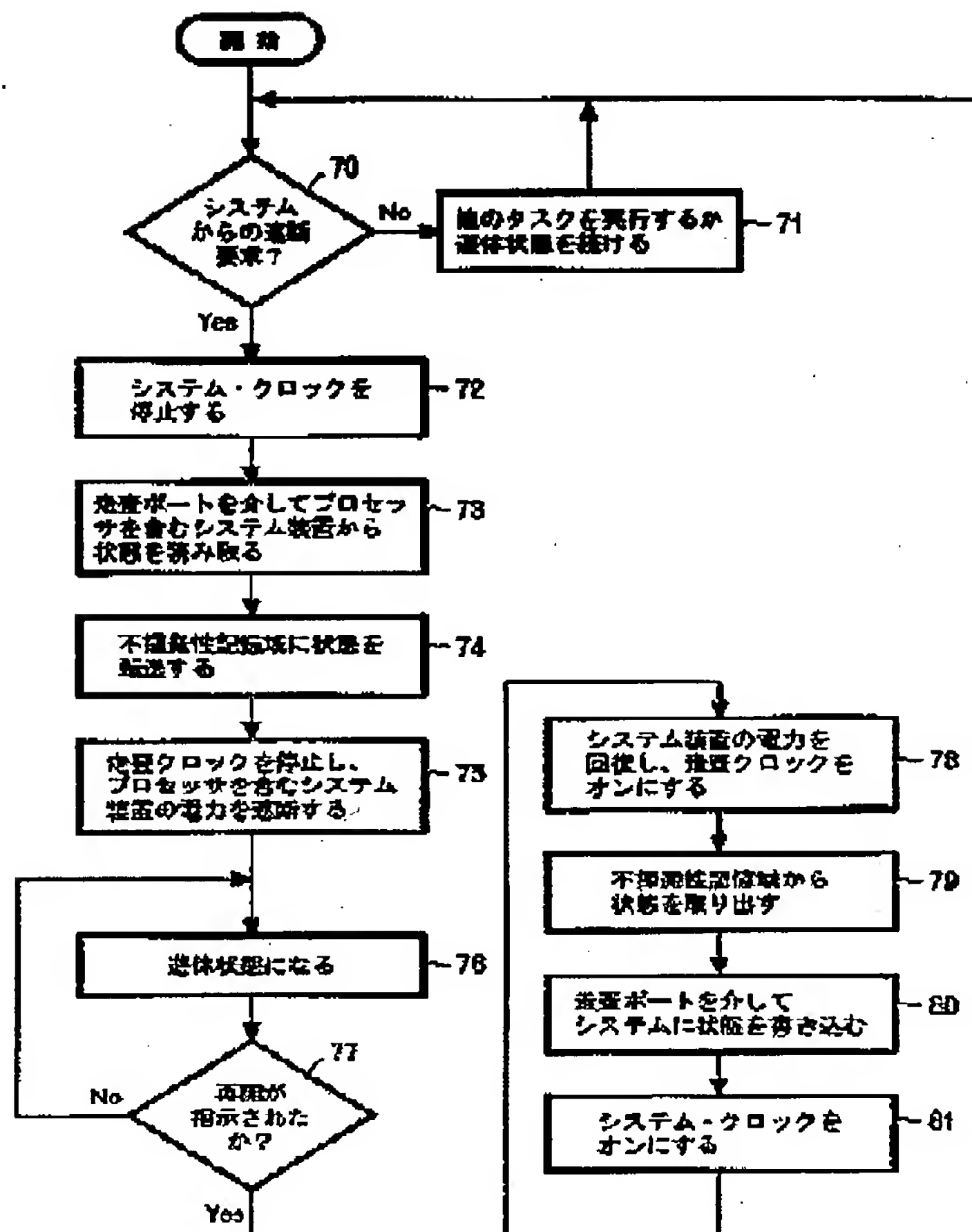
【圖4】



(13)

特開2002-182803

【図5】

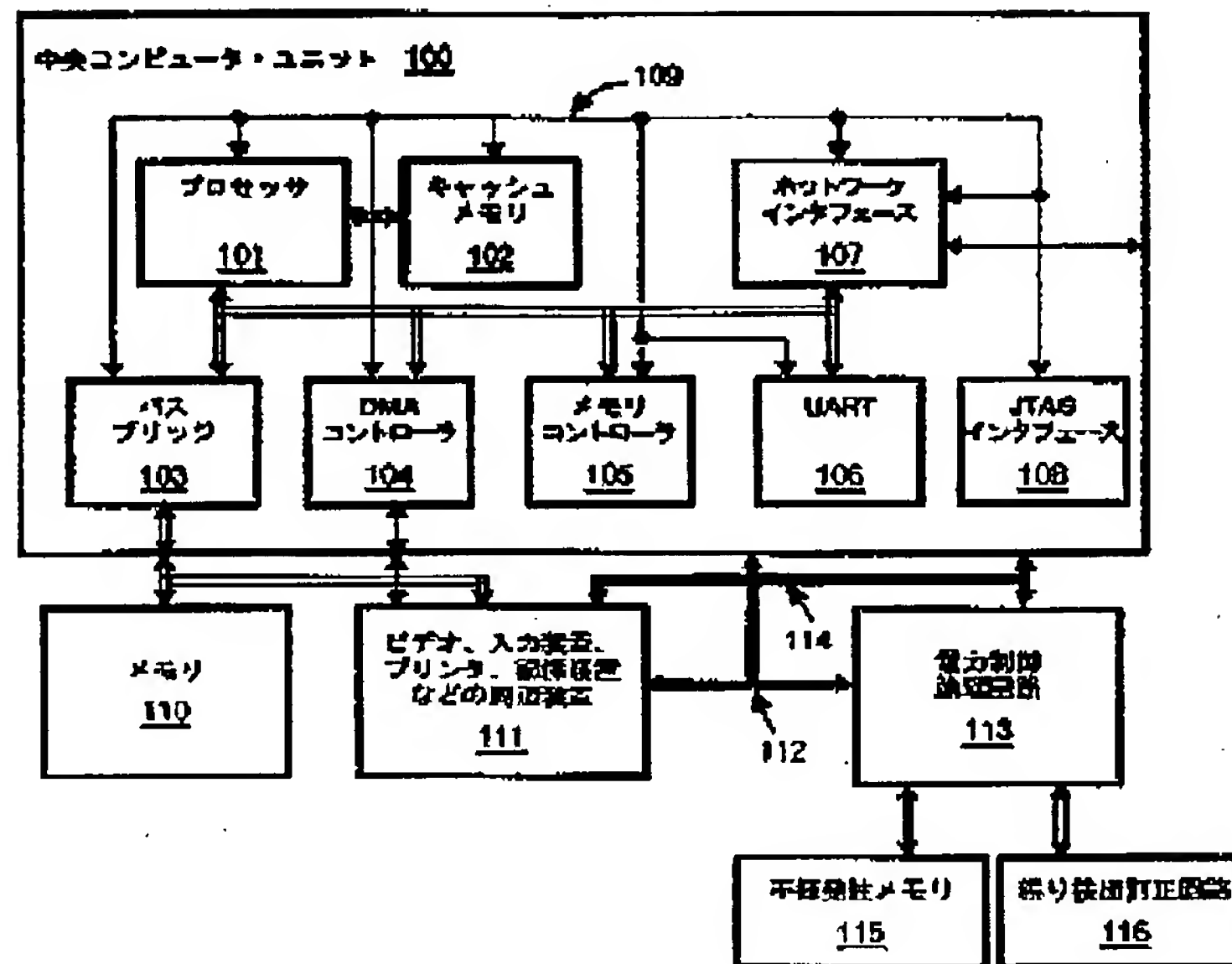




(14)

特開2002-182803

【図6】



フロントページの続き

(72)発明者 ビンショブ・シー・ブロック  
アメリカ合衆国78731 テキサス州オース  
チン ウェスト・サーチ・シックス・スト  
リート 1911

(72)発明者 ゲイリー・デー・カーペンター  
アメリカ合衆国78731 テキサス州ブルジ  
ャーヴィル ロッキー・クリーク・ドライ  
ブ 1241

(72)発明者 ケビン・ジェイ・ナウカ  
アメリカ合衆国78681 テキサス州ラウン  
ド・ロック グレイリング・レーン 3952  
Fターム(参考) 5B01E EA02 JA03 MB07  
5B01B GA04 KA03 KA23 NA08 QA05